

MAX+plus II 使用說明及 CPLD 設計範例(繪圖法)

一、完整發展步驟：繪製電路(或編寫 HDL)→儲存→選擇晶片→編譯→電路模擬→安排 I/O 接腳→儲存與編譯→燒錄(下載)→電路驗證

二、ALTERA 之 CPLD 編號：EPM3064ALC44(3.3V)或 EPM7064SLC44(5V)

三、專案設計前之預備工作：

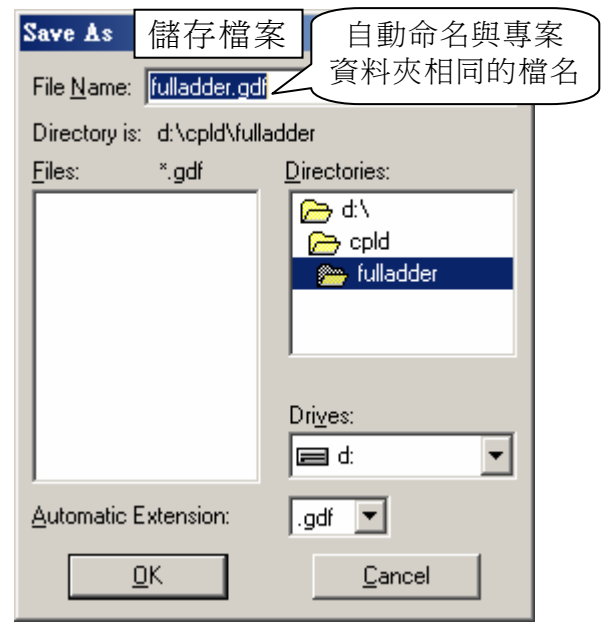
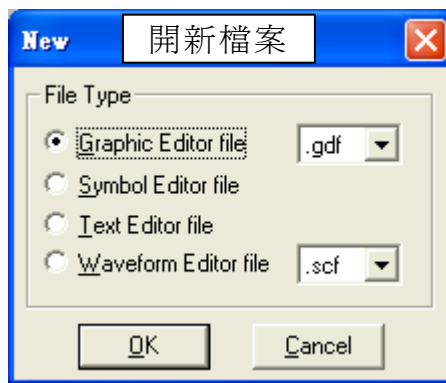
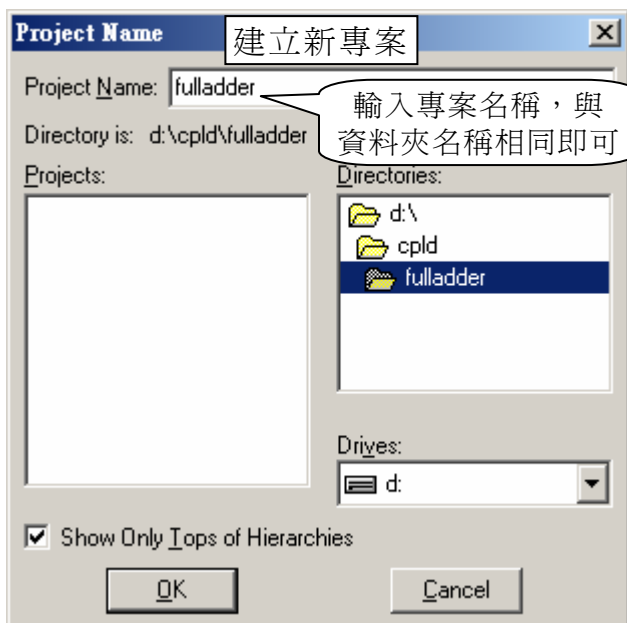
每個專案(Project)發展過程會產生許多個相關檔案，因此在開啟專案前要先建立其專屬的資料夾。必須注意的是，Project資料夾及其以上各層資料夾的名稱不可以使用中文。

四、範例(一)：全加器 ----- D:\CPLD\FULLADDER\

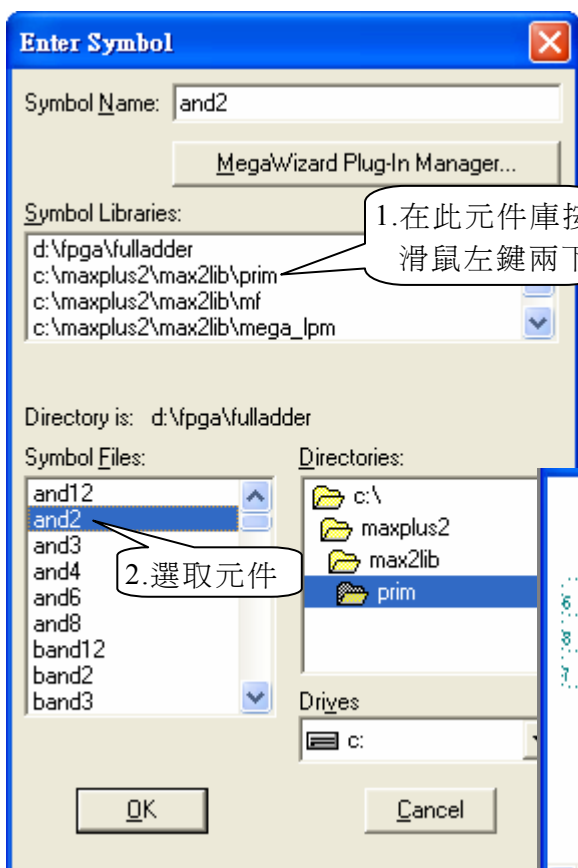
1. 建立新專案(或開啟舊專案)：執行【File】→【Project】→【Name】

2. 開新檔案(圖形編輯模式)：執行【File】→【New】

3. 儲存圖形檔：執行【File】→【Save】或【File】→【Save As】



4. 繪製電路圖：滑鼠游標於選取狀態(箭頭)，在電路編輯區之空白處按滑鼠左鍵兩下，開啟元件視窗，一一選取放置後，進行連接如下：

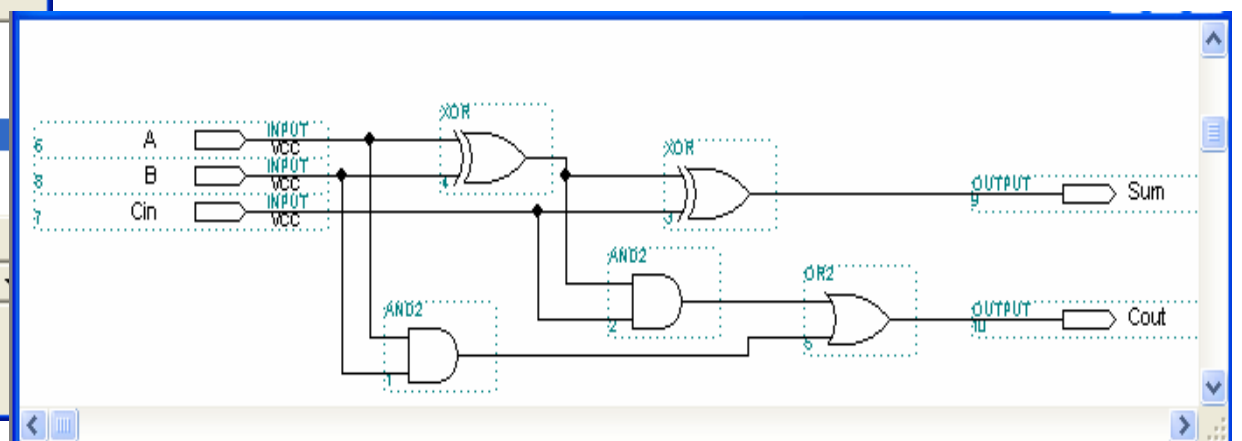


(1) 使用元件：XOR、AND2、OR2、INPUT、OUTPUT

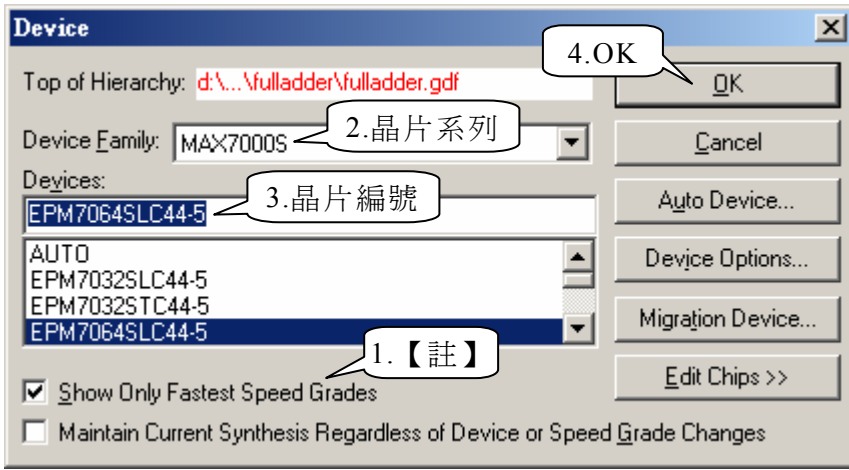
(2) I/O 接腳命名(如下圖示)

(3) 按一下繪圖區左側工具列中的  鈕，游標變成十字，在元件的端點進行連線，注意元件之間的虛線外框不可重疊(可相連)。

常用的元件庫為 primitive(基本元件)、macrofunction(巨集元件)



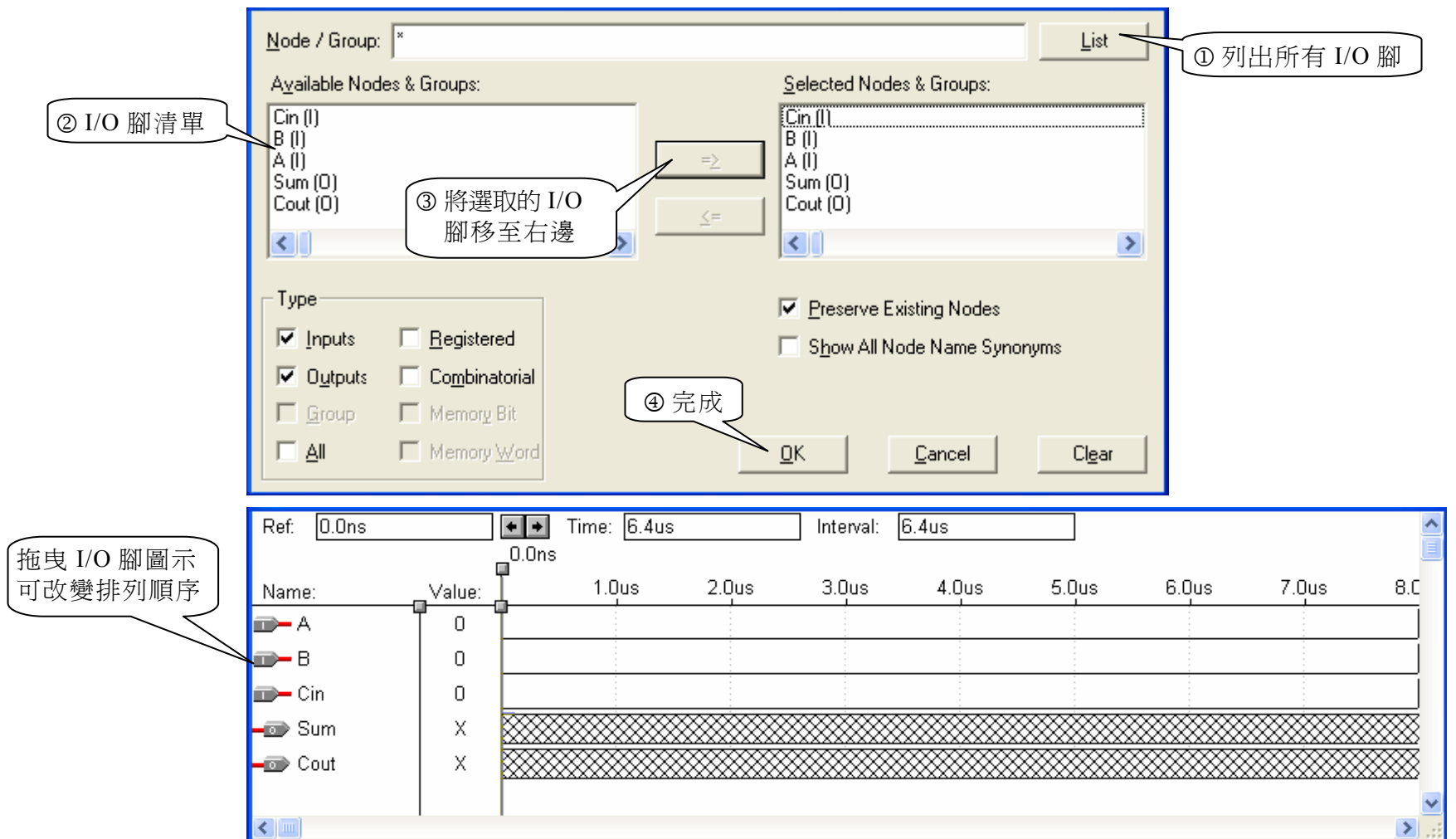
5. 儲存電路圖：執行【File】→【Save】
6. 選擇晶片：執行【Assign】→【Device】



【註】：若沒有勾選，則 Device 選單中會列出該系列中所有的晶片供選取，編號最右邊的數字(如-5)代表傳遞延遲時間(5ns)，而實際上工作速度是由晶片本身決定。為了使 Device 選單中的選項少一些，可勾選之，如此只會列出相同編號而速度較快者。

7. 編譯電路圖：執行【MAX+plus II】→【Compiler】，檢查電路是否有錯誤。
8. 電路模擬：執行【MAX+plus II】→【Waveform Editor】

(1) 加入 I/O 接腳：在波形編輯視窗空白處按滑鼠右鍵，執行【Enter Nodes from SNF...】




(2) 設定模擬時間(結果如上圖所示)

模擬時間長度：執行【File】→【End Time】----- 8us 或大一些(配合 8 種輸入狀態)

時間刻度設定：執行【Options】→【Grid Size】----- 1us

時間顯示範圍：執行【View】→【Time Range】----- 8us(通常設定與模擬時間長度值相同)

(3) 編輯輸入腳的狀態或波形

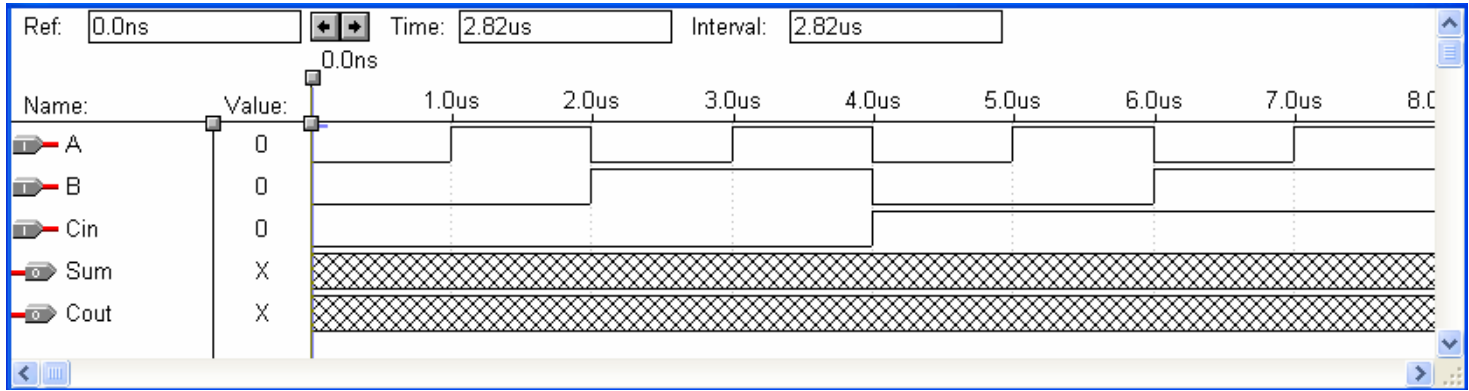
輸入腳A：在第二時間格內(1us→2us)按滑鼠左鍵由左拖曳至右放開(不要超出該格)，使該時間格變成黑色方塊，按下左側的波形編輯鈕 ，將該時間格的狀態設定為”High”。


第四、六、八時間格亦設定為”High”。

輸入腳B：按滑鼠左鍵由第三時間格拖曳至第四格放開，使兩格變成黑色方塊，狀態設定為”High”。

輸入腳Cin：按滑鼠左鍵由第五時間格拖曳至第八格放開，使四格變成黑色方塊，狀態設定為”High”。

輸入波形編輯完成



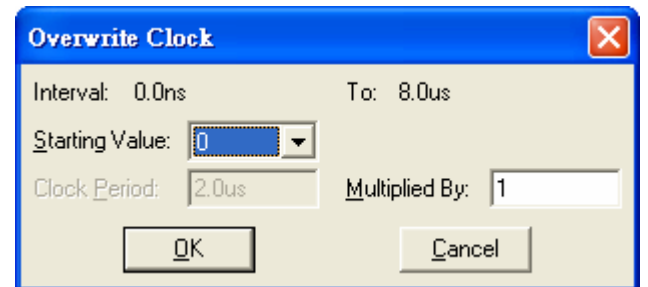
由於三個輸入腳的波形均為規律性變化，可使用 Clock 產生鈕  進行波形設定

輸入腳 A：在接腳符號上按滑鼠左鍵一下，使整列變成黑色標示區，按一下 Clock 產生鈕，Starting Value：0 (波形初始值)

Multiplied By：1 (每一個時間格變化一次，由 0 變 1 或由 1 變 0)

輸入腳 B：每兩個時間格變化一次

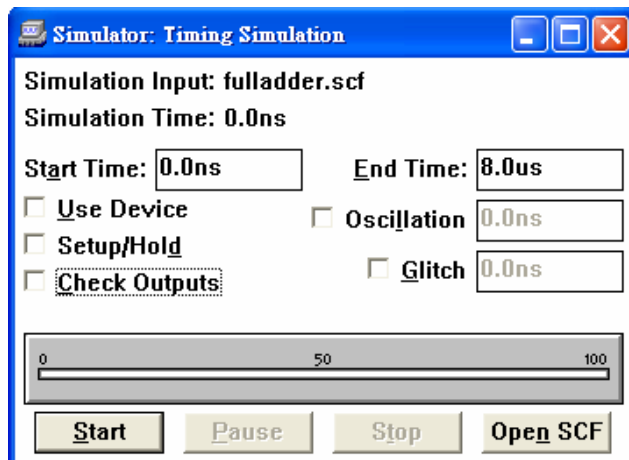
輸入腳 Cin：每四個時間格變化一次



(4) 存檔：執行【File】→【Save】

(5) 進行模擬：執行【MAX+plus II】→【Simulator】

(模擬設定視窗)



按「Start」鈕
→

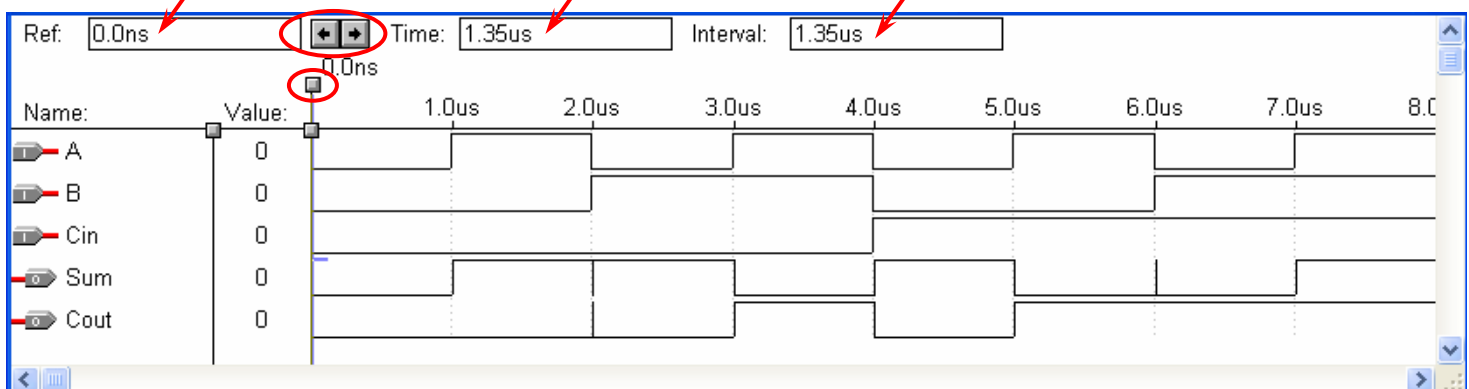


時間軸起始值，可用右側的移動鈕或以滑鼠在下方的方塊拖曳改變。

目前滑鼠指標所在的時間值。

目前滑鼠指標的時間值與起始時間值的差。

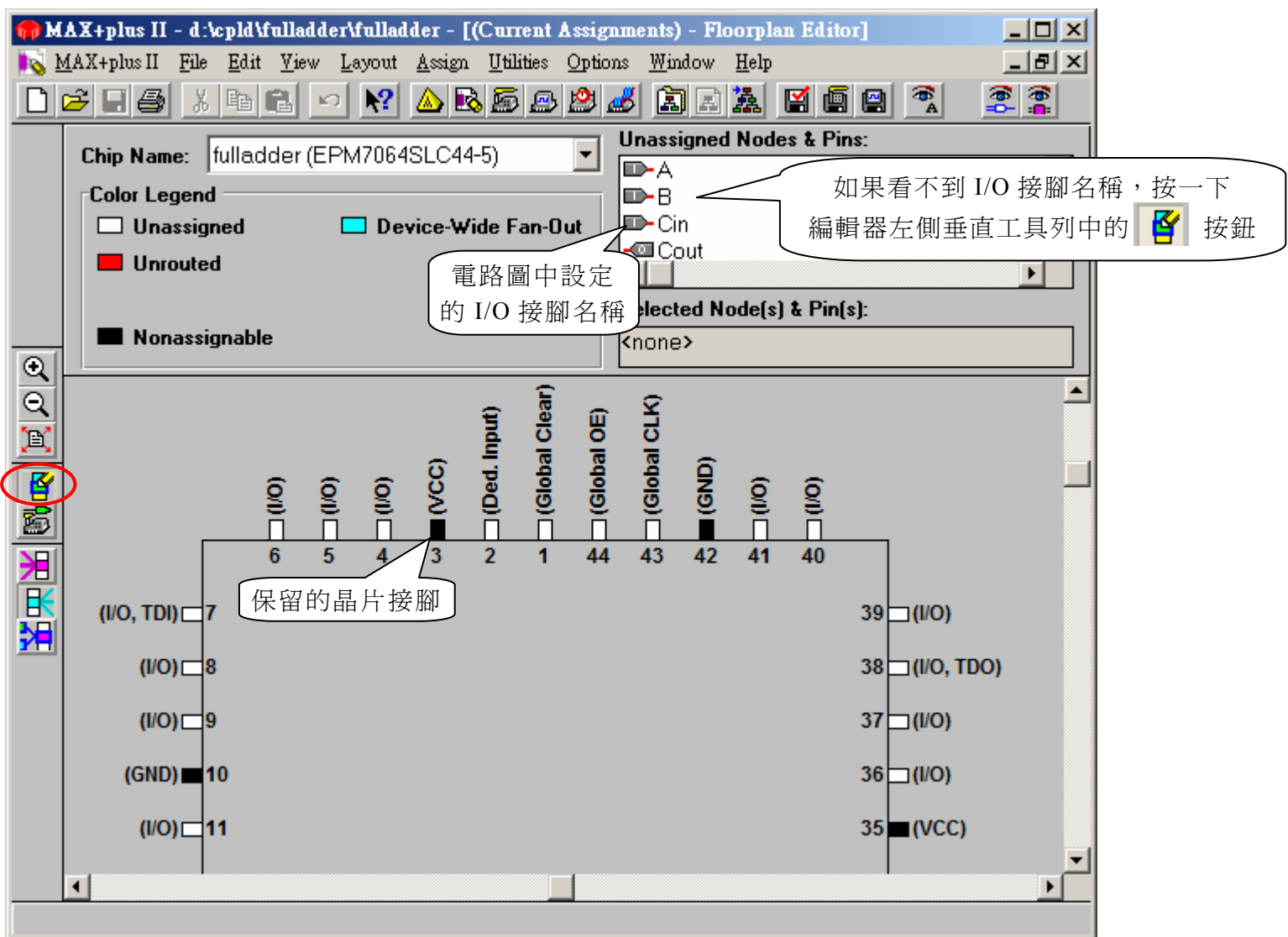
(模擬結果)



執行【File】→【Open】→點選「Waveform Editor files」可開啟該模擬檔.scf。

9. 安排晶片接腳：執行【MAX+Plus II】→【Floorplan Editor】

如果顯示的是晶片內部結構方塊圖，在方塊內部或外部的灰色區域快按滑鼠左鍵兩下，即可切換至晶片接腳圖。或是執行【Layout】→勾選 Device View。



- (1) 在接腳名稱框中，以滑鼠拖曳 I/O 接腳符號(不是接腳名稱)至晶片可用的白色接腳中，完成後該腳呈現青色。
- (2) 點選接腳反向拖曳操作(或按 **Delete** 鍵)可將 I/O 接腳放回名稱框中。

10. 二次編譯，產生燒錄檔「.sof 及 .pof」：執行【MAX+Plus II】→【Compiler】→【Start】

sof(SRAM Object File)檔案格式用於內建為 SRAM 的晶片，如 ALTERA 的 FLEX 系列晶片。
pof(Programmer Object File)用於內建為 EEPROM 的晶片，如 ALTERA 的 MAX 系列晶片。

11. 使用 Quartus II Programmer 工具軟體，以 **USB Blaster**→**JTAG** 介面進行燒錄。

範例(二)：4 位元加法器(匯流排BUS的使用)-----D:\CPLD\4BitAdder\

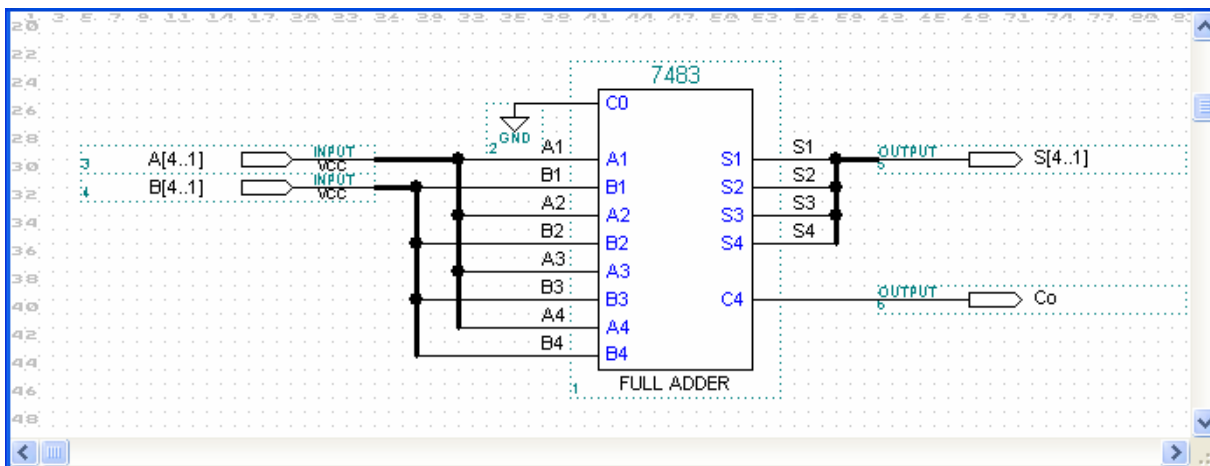
1. 元件 7483 來源：<C:\maxplus2\max2lib\mf>
2. 建立新專案(開啟舊專案)：執行【File】→【Project】→【Name】
3. 開新檔案(圖形編輯模式)：執行【File】→【New】
4. 儲存圖形檔：執行【File】→【Save】或【File】→【Save As】
5. 電路圖繪製：
 - (1) 繪製電路後，選取欲改為 BUS 的線段(呈紅色)，在線段處按滑鼠右鍵，執行【Line Style】，勾選較粗的實線。
 - (2) 放置 I/O 元件，為 BUS 命名，命名原則為 NAME[X..Y]，NAME 必須以英文字母開頭。

(3) 分別為 BUS 連接的一般線段命名，名稱必須對應於 BUS。

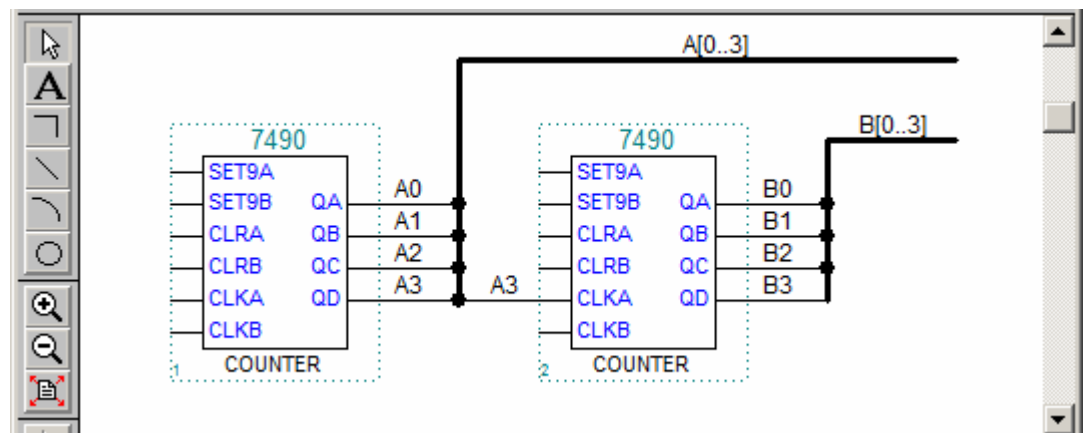
(a) 按滑鼠左鍵點選某線段使其呈紅色，注意其點選的位置即為線段名稱的放置處。

(b) 輸入線段名稱。

(c) 再度點選已命名的線段時，若線段與名稱均呈紅色，表示命名成功。



(內部 BUS 的使用範例)



6. 儲存電路圖：執行【File】→【Save】

7. 選擇晶片：執行【Assign】→【Device】

8. 編譯電路圖：執行【MAX+plus II】→【Compiler】，檢查電路是否有錯誤

9. 電路模擬：執行【MAX+plus II】→【Waveform Editor】

(1) 加入 I/O 接腳：在波形編輯視窗空白處按滑鼠右鍵，執行【Enter Nodes from SNF...】


(2) 設定模擬時間


模擬時間長度：執行【File】→【End Time】----- 16us

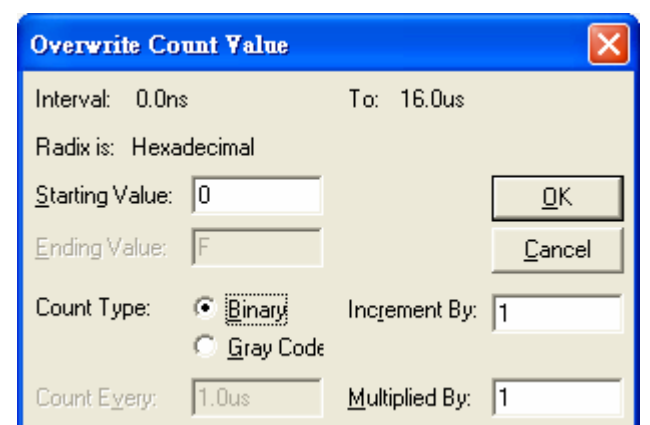
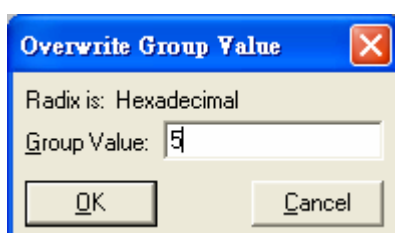
時間刻度設定：執行【Options】→【Grid Size】----- 1us

時間顯示範圍：執行【View】→【Time Range】----- 16us

(3) 編輯輸入腳的狀態或波形

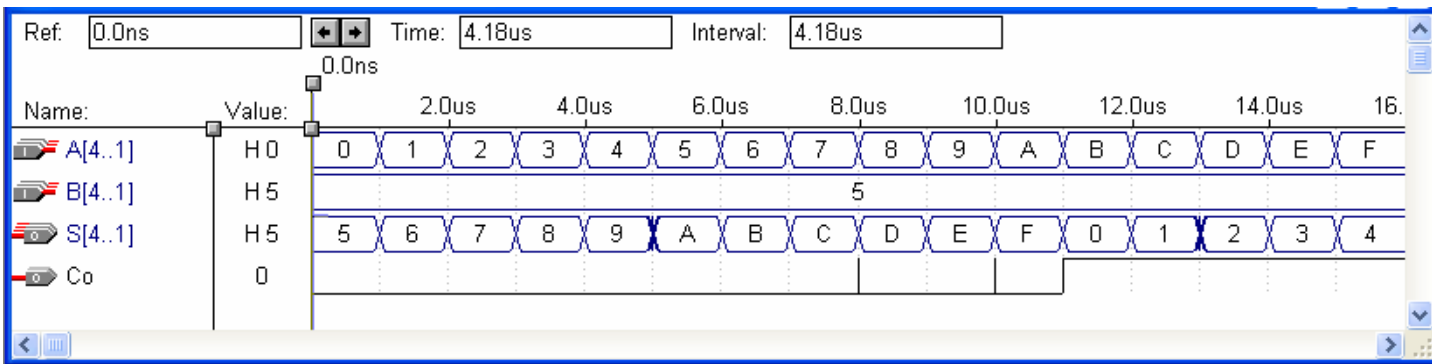
A[4..1]：在群組輸入接腳符號上按滑鼠左鍵一下，使整列變成黑色標示區，按一下群組Clock鈕  設定值如右圖所示。

B[4..1]：在群組輸入接腳符號上按滑鼠左鍵一下，使整列變成黑色標示區，按一下群組數值鈕  設定值如下圖所示。



(4) 存檔：執行【File】→【Save】

(5) 進行模擬：執行【MAX+plus II】→【Simulator】



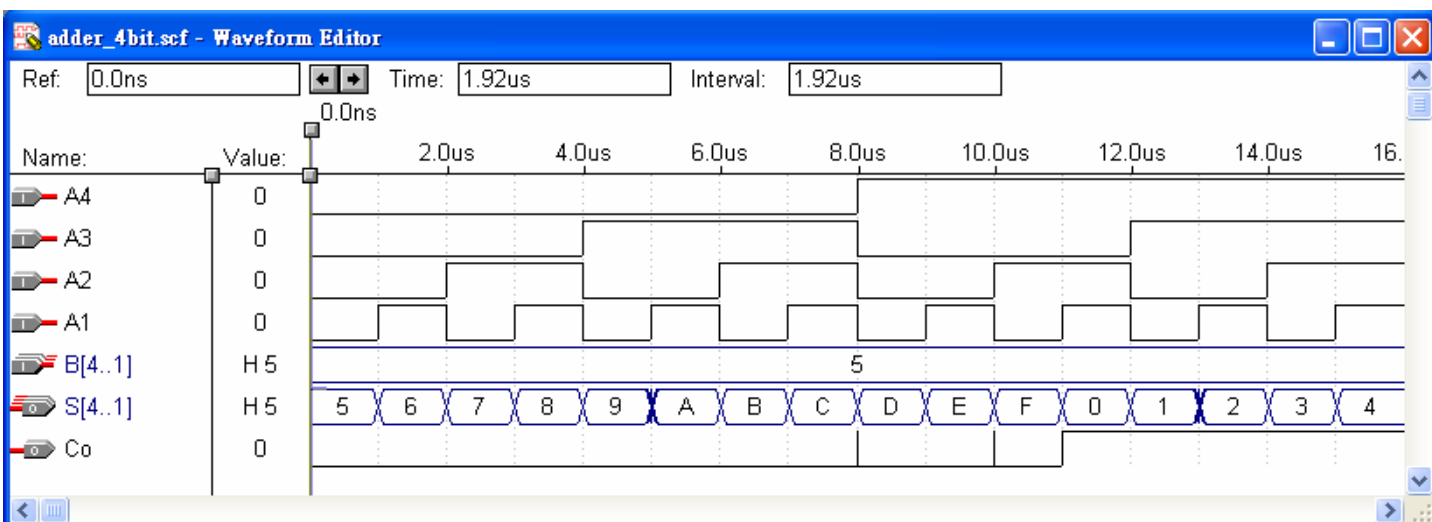
10. 安排晶片接腳：執行【MAX+Plus II】→【Floorplan Editor】

11. 二次編譯，產生燒錄檔「.sof及.pof」：執行【MAX+Plus II】→【Compiler】→【Start】

【4位元加法器之「群組訊號」模擬】

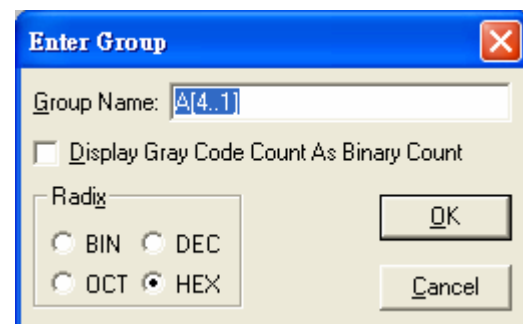
1. 數個相同性質的位元訊號合併成群組訊號：

(1) 按滑鼠左鍵在接腳名稱右邊的空白處拖曳後放開，如下圖的A4~A1。



(2) 選取後按滑鼠右鍵，執行【Enter Group...】，設定如右圖所示。

注意：群組訊號時，上方的位元訊號為MSB



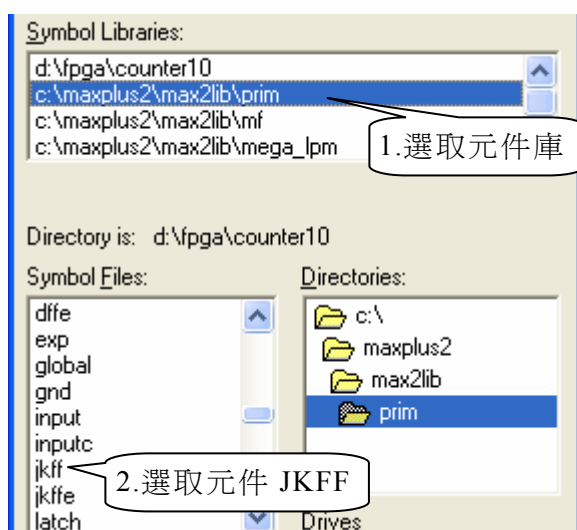
2. 群組訊號還原為單一位元訊號：

(1) 點選群組訊號

(2) 選取後按滑鼠右鍵，執行【Ungroup】。

範例(三)：異步 6 模上數計數器 ----- D:\CPLD\Cnt6_Up\

1. 繪製電路圖：

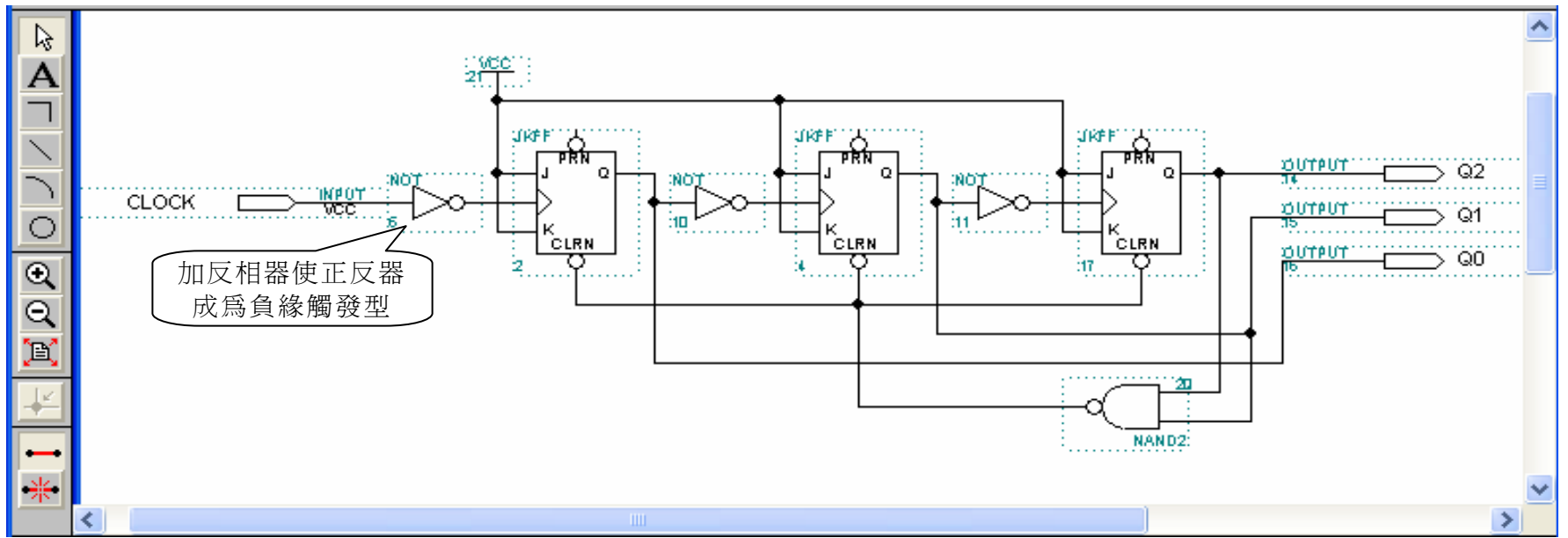


(1) 使用元件：JKFF、NAND2、NOT、INPUT、OUTPUT、VCC

(2) I/O 接腳命名(如下圖示)

(3) 在元件的端點進行連線

(4) 加反相器的作用在使正反器成為負緣觸發型(上數計數器)



5. 儲存電路圖：執行【File】→【Save】

6. 選擇晶片：執行【Assign】→【Device】

7. 編譯電路圖：執行【MAX+plus II】→【Compiler】，檢查電路是否有錯誤

8. 電路模擬：執行【MAX+plus II】→【Waveform Editor】

(1) 加入 I/O 接腳：在波形編輯視窗空白處按滑鼠右鍵，執行【Enter Nodes from SNF...】

(2) 設定模擬時間

模擬時間長度：執行【File】→【End Time】----- 18us(或大一些)

時間刻度設定：執行【Options】→【Grid Size】----- 1us

時間顯示範圍：執行【View】→【Time Range】----- 18us(或大一些)

(3) 編輯時脈輸入腳 CLOCK 的波形

在接腳符號上按滑鼠左鍵一下，使整列變成黑色標示區，按一下 Clock 產生鈕

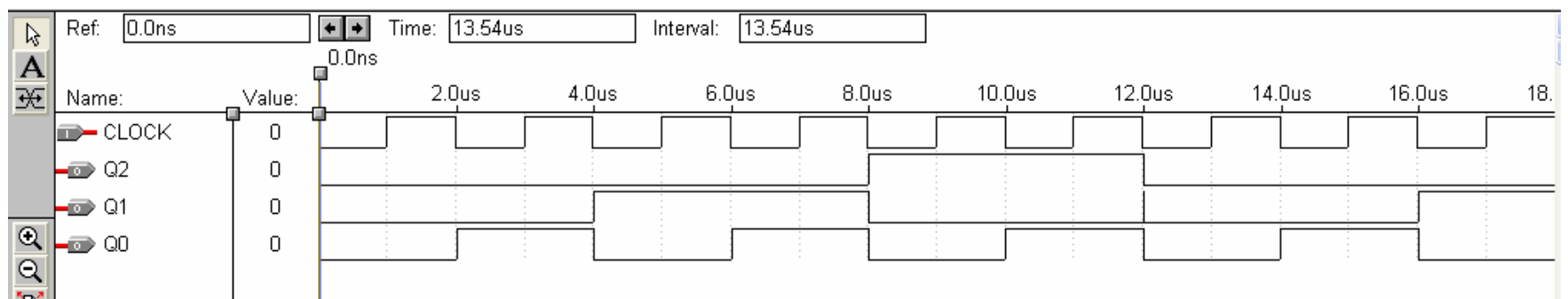
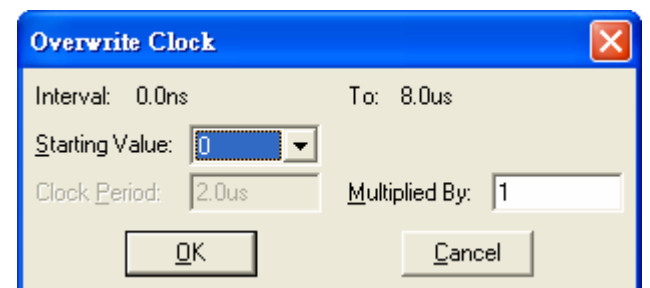


Starting Value：0 (波形初始值)

Multiplied By：1 (每一個時間格變化一次，由 0 變 1 或由 1 變 0)

(4) 存檔：執行【File】→【Save】

(5) 進行模擬：執行【MAX+plus II】→【Simulator】

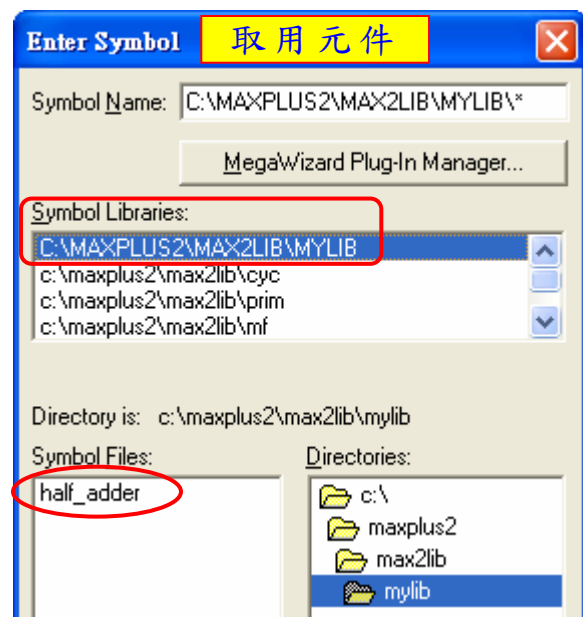
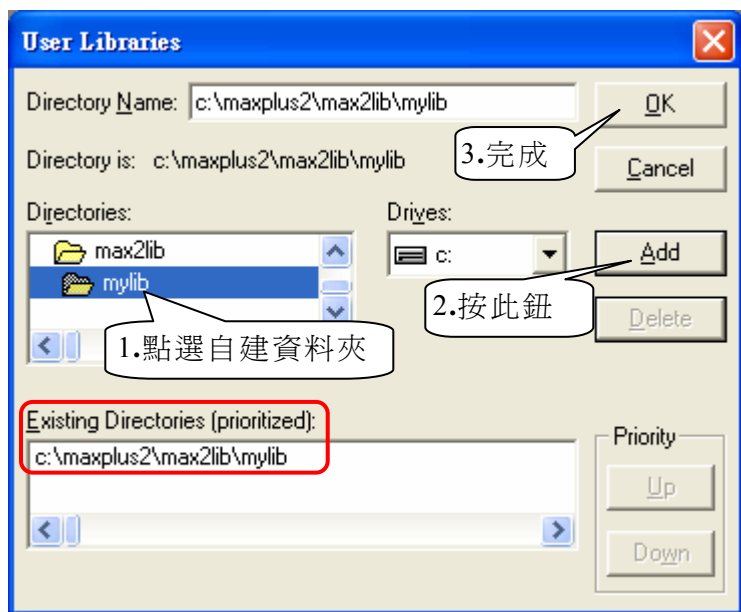


9. 安排晶片接腳：執行【MAX+Plus II】→【Floorplan Editor】

10. 二次編譯，產生燒錄檔：執行【MAX+Plus II】→【Compiler】→【Start】

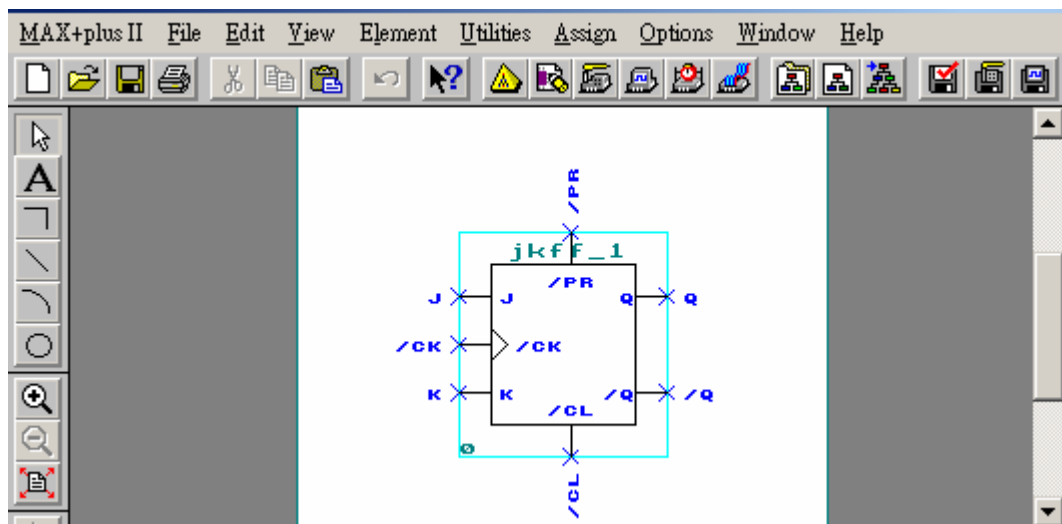
五、自建元件符號

1. 在MAX+plus II內定的元件庫資料夾中新增一資料夾如C:\maxplus2\max2lib\mylib。
2. 開啟專案及繪圖檔(如半加器 Half_Adder.GDF)，經編譯→儲存→模擬(可省略)，執行【File】→【Creat Default Symbol】，將產生一個符號檔如 Half_Adder.SYM。
3. 將繪圖檔.GDF及符號檔.SYM複製到自建元件庫資料夾中，該專案資料夾可將之刪除。
4. 在MAX+plus II中執行【Options】→【User Libraries...】



六、修改自建或內建元件庫中的元件線路及其符號

1. 修改自建元件線路：開啟任一專案→開啟元件.GDF圖形檔→編輯→編譯→儲存
2. 修改自建元件符號(通常是修改接腳位置)：在任一專案下
(方式 1) 開啟元件.SYM符號檔→編輯→儲存
(方式 2) 開啟元件.GDF圖形檔→執行【File/Edit Symbol】→編輯→儲存



3. 修改內建元件(方法同上)：C:\maxplus2\max2lib\prim\ C:\maxplus2\max2lib\mf\
 - (1) prim 元件庫中屬於邏輯閘、正反器等基本元件，僅有符號檔，沒有圖形檔。
mf 元件庫中則包含符號檔及圖形檔。
 - (2) 內建元件庫中的符號檔及圖形檔均為「唯讀」屬性，建議不要更動。編輯後的元件不妨以【Save As...】另存新檔至個人元件庫中(使用新的檔案名稱)。
4. 元件編輯完成後，資料夾中保留該元件的符號檔及圖形檔即可，其餘新增的檔案可刪除之。