

FPGA、CPLD 工具軟體 MAX+plus II 發展步驟(繪圖法)

一、CPLD 編號：ALTERA 之 EPM3064ALC44(3.3V)或 EPM7064SLC44(5V)

二、發展步驟：

1. 新增專案(Project)資料夾，注意不要使用中文名稱(各類檔案名稱亦同)。
2. 執行 MAX+plus II，建立新專案：【File】→【Project】→【Name】
3. 開啟繪圖檔：【File】→【New】→Graphic Editor file(.gdf)
4. 儲存圖形檔：【File】→【Save】或【File】→【Save As】
5. 繪製電路圖：常用的元件庫為primitive(基本元件)、macrofunction(巨集元件如IC)
6. 儲存電路圖：【File】→【Save】
7. 選擇晶片：【Assign】→【Device】→Family=MAX7000S，Devices=EPM7064SLC44-5
8. 編譯電路圖：【MAX+plus II】→【Compiler】，檢查電路是否有錯誤。
9. 電路模擬：【File】→【New】→Waveform Editor file(.scf)，此步驟視情況可省略。
 - (1) 在波形編輯視窗空白處按滑鼠右鍵，執行【Enter Nodes from SNF...】加入 I/O 接腳。
 - (2) 設定模擬時間
模擬時間長度：【File】→【End Time】----- 如 8 模計數器的 16us 或大一些(配合整體狀態)
時間刻度設定：【Options】→【Grid Size】----- 如 1us (每 1us 轉變，則 16us 有 8 週的脈波)
時間顯示範圍：【View】→【Time Range】----- 通常設定與模擬時間長度值相同
 - (3) 規劃輸入腳的 High、Low 狀態或波形
 - (4) 存檔：【File】→【Save】
 - (5) 進行模擬：執行【MAX+plus II】→【Simulator】
10. 安排晶片接腳：【MAX+Plus II】→【Floorplan Editor】
11. 二次編譯，產生燒錄檔「.sof 及 .pof」：【MAX+Plus II】→【Compiler】→【Start】
sof(SRAM Object File)檔案格式用於 SRAM 的晶片，如 ALTERA 的 FLEX 系列晶片。
pof(Programmer Object File)用於 EEPROM 的晶片，如 ALTERA 的 MAX 系列晶片。
12. 使用 Quartus II Programmer 工具軟體，以 USB Blaster→JTAG 介面進行下載或燒錄。



